

Am

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014511368 **Image available**

WPI Acc No: 2002-332071/200237

XRPX Acc No: N02-260773

Electroluminescent display device driving method for electronic devices
e.g. television, involves emitting light when TFT is turned ON and does
not emit light when TFT is turned OFF

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEL SEMICONDUCTOR
ENERGY LAB (SEME); INUKAI K (INUK-I); IWABUCHI T (IWAB-I); OSAME M
(OSAM-I)

Inventor: INUKAI K; IWABUCHI T; OSAME M

Number of Countries: 032 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1184833	A2	20020306	EP 2001121175	A	20010904	200237 B
US 20020047852	A1	20020425	US 2001944085	A	20010904	200237
WO 200221574	A2	20020314	WO 2001181916	A	20010904	200237
CN 1342964	A	20020403	CN 2001132557	A	20010904	200247
JP 2002149113	A	20020524	JP 2001257163	A	20010828	200250
KR 2002018975	A	20020309	KR 200154071	A	20010904	200262
TW 518554	A	20030121	TW 2002106101	A	20010903	200356
TW 525136	A	20030321	TW 2001121789	A	20010903	200365

Priority Applications (No Type Date): JP 2000267164 A 20000904

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 1184833	A2	E	47	G09G-003/32	
------------	----	---	----	-------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI TR

US 20020047852	A1			G09G-005/00	
----------------	----	--	--	-------------	--

WO 200221574	A2	E		H01L-000/00	
--------------	----	---	--	-------------	--

Designated States (National): SG

CN 1342964	A			G09G-003/00	
------------	---	--	--	-------------	--

JP 2002149113	A		28	G09G-003/30	
---------------	---	--	----	-------------	--

KR 2002018975	A			G09G-003/30	
---------------	---	--	--	-------------	--

TW 518554	A			G09G-003/38	
-----------	---	--	--	-------------	--

TW 525136	A			G09G-003/38	
-----------	---	--	--	-------------	--

Abstract (Basic): EP 1184833 A2

NOVELTY - The specific bit of digital video signal is input to gate
electrode of second TFT by turning ON first TFT and turning OFF third
TFT for each of the n+m display periods. The organic EL element emits
light when second TFT is turned ON and does not emit light when second
TFT is turned OFF.

USE - For electronic devices such as video camera, digital camera,
goggle-type display (head mounted display), navigation system, audio
reproducing device such as car audio system, audio compo system,
notebook personal computer, game equipment, portable information

terminal such as mobile computer, mobile telephone, mobile game equipment, electronic book, image playback device provided with recording medium such as digital video disk (DVD), personal computer, TV, also for animation display.

ADVANTAGE - Since turn ON periods and turn OFF periods are divided and appear alternately within one frame period, obstructions such as pseudo contours which are conspicuous in time division drive by a binary code is prevented.

DESCRIPTION OF DRAWING(S) - The figures show the diagram of pixel portion in EL display.

pp; 47 DwgNo 1A, 1B/20

Title Terms: ELECTROLUMINESCENT; DISPLAY; DEVICE; DRIVE; METHOD; ELECTRONIC ; DEVICE; TELEVISION; EMIT; LIGHT; TFT; TURN; EMIT; LIGHT; TFT; TURN

Derwent Class: P81; P85; S06; T01; T04; W01; W03; W04; W05; X22

International Patent Class (Main): G09G-003/00; G09G-003/30; G09G-003/32; G09G-003/38; G09G-005/00; H01L-000/00

International Patent Class (Additional): G02F-001/061; G09F-009/30; G09G-003/20; H05B-033/14

File Segment: EPI; EngPI

METHOD FOR DRIVING EL DISPLAY

Patent Number: JP2002149113
Publication date: 2002-05-24
Inventor(s): INUKAI KAZUTAKA; OSAME MITSUAKI; IWABUCHI TOMOYUKI
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD
Requested Patent: ☐ JP2002149113
Application Number: JP20010257163 20010828
Priority Number(s):
IPC Classification: G09G3/30; G09F9/30; G09G3/20; H05B33/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a method for driving an electroluminescent(EL) display which makes false contours hardly visible.

SOLUTION: A method is presented for driving the EL display having a plurality of pixels each of which has a first thin film transistor(TFT), a second TFT, a third TFT and an organic electroluminescence device. In a single frame period, n+m display periods (both n and m are natural numbers) appear. The n+m display periods correspond to any 1-bit digital video signal among n-bit digital video signals, respectively, and any of a plurality of display periods of the n+m display periods correspond to the same bit of the digital video signal. A display period corresponding to the other bits of the digital video signal appears among the n+m display periods during a plurality of display periods.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-149113

(P 2 0 0 2 - 1 4 9 1 1 3 A)

(43) 公開日 平成14年5月24日(2002.5.24)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	K 3K007
G09F 9/30	338	G09F 9/30	338 5C080
	365		365 Z 5C094
G09G 3/20	624	G09G 3/20	624 B
	641		641 E

審査請求 未請求 請求項の数 8 O L (全28頁) 最終頁に続く

(21) 出願番号 特願2001-257163(P 2001-257163)
(22) 出願日 平成13年8月28日(2001.8.28)
(31) 優先権主張番号 特願2000-267164(P 2000-267164)
(32) 優先日 平成12年9月4日(2000.9.4)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 犬飼 和隆
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 納 光明
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 岩渕 友幸
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

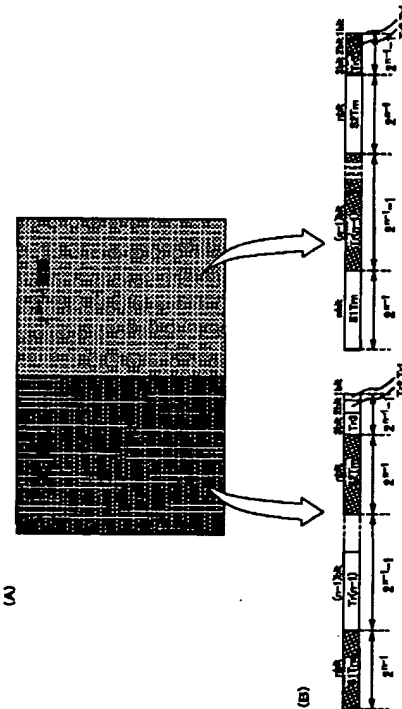
最終頁に続く

(54) 【発明の名称】 E L 表示装置の駆動方法

(57) 【要約】

【課題】 偽輪郭が視認されずらい E L ディスプレイの駆動方法を提供する。

【解決手段】 第1の T F T、第2の T F T、第3の T F T 及び有機 E L 素子をそれぞれ有する画素が、複数設けられた E L 表示装置の駆動方法であって、1 フレーム期間に $n+m$ 個 (n, m は共に自然数) の表示期間が出現し、 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか1 ビットのデジタルビデオ信号にそれぞれ対応しており、 $n+m$ 個の表示期間のいずれか複数の表示期間は、デジタルビデオ信号の同じビットに対応しており、複数の表示期間の間に、 $n+m$ 個の表示期間のうちの、デジタルビデオ信号の他のビットに対応する表示期間が出現することを特徴とする表示装置の駆動方法。



【特許請求の範囲】

【請求項 1】第 1 の TFT、第 2 の TFT、第 3 の TFT 及び有機 EL 素子をそれぞれ有する画素が、複数設けられた EL 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n 、 m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジタルビデオ信号の同じビットに対応しており、前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の TFT がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の TFT のゲート電極に入力され、なおかつ前記第 3 の TFT がオフでになることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの、他の表示期間が開始されるか、もしくは第 3 の TFT がオンになることで終了し、

前記第 2 の TFT がオンになると前記有機 EL 素子が発光し、オフになると発光しないことを特徴とする EL 表示装置の駆動方法。

【請求項 2】第 1 の TFT、第 2 の TFT、第 3 の TFT 及び有機 EL 素子をそれぞれ有する画素が、複数設けられた EL 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n 、 m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジタルビデオ信号の最上位ビットに対応しており、

前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の TFT がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の TFT のゲート電極に入力され、なおかつ前記第 3 の TFT がオフでになることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの、他の表示期間が開始されるか、もしくは第 3 の TFT がオンになることで終了し、

前記第 2 の TFT がオンになると前記有機 EL 素子が発

光し、オフになると発光しないことを特徴とする EL 表示装置の駆動方法。

【請求項 3】第 1 の TFT、第 2 の TFT、第 3 の TFT 及び有機 EL 素子をそれぞれ有する画素が、複数設けられた EL 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n 、 m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記デジタルビデオ信号の上位ビットは、それぞれ前記 $n+m$ 個の表示期間のいずれか複数の表示期間に対応しており、

前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の TFT がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の TFT のゲート電極に入力され、なおかつ前記第 3 の TFT がオフでになることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの他の表示期間が開始されるか、もしくは第 3 の TFT がオンになることで終了し、

前記第 2 の TFT がオンになると前記有機 EL 素子が発光し、オフになると発光しないことを特徴とする EL 表示装置の駆動方法。

【請求項 4】第 1 の TFT、第 2 の TFT 及び有機 EL 素子をそれぞれ有する画素が、複数設けられた EL 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n 、 m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジタルビデオ信号の同じビットに対応しており、前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の TFT がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の TFT のゲート電極に入力されることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの他の表示期間が開始されることで終了し、

前記第 2 の TFT がオンになると前記有機 EL 素子が発光し、オフになると発光しないことを特徴とする EL 表

示装置の駆動方法。

【請求項 5】第 1 の T F T、第 2 の T F T 及び有機 E L 素子をそれぞれ有する画素が、複数設けられた E L 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n, m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジタルビデオ信号の最上位ビットに対応しており、

前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の T F T がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の T F T のゲート電極に入力されることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの他の表示期間が開始されることで終了し、

前記第 2 の T F T がオンになると前記有機 E L 素子が発光し、オフになると発光しないことを特徴とする E L 表示装置の駆動方法。

【請求項 6】第 1 の T F T、第 2 の T F T 及び有機 E L 素子をそれぞれ有する画素が、複数設けられた E L 表示装置の駆動方法であって、

1 フレーム期間に $n+m$ 個 (n, m は共に自然数) の表示期間が出現し、

前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか 1 ビットのデジタルビデオ信号にそれぞれ対応しており、

前記デジタルビデオ信号の上位ビットは、それぞれ前記 $n+m$ 個の表示期間のいずれか複数の表示期間に対応しており、

前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、

前記 $n+m$ 個の表示期間のそれぞれは、前記第 1 の T F T がオンになることで、対応するビットの前記デジタルビデオ信号が前記第 2 の T F T のゲート電極に入力されることで開始され、

前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの他の表示期間が開始されることで終了し、

前記第 2 の T F T がオンになると前記有機 E L 素子が発光し、オフになると発光しないことを特徴とする E L 表示装置の駆動方法。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項にお

いて、

前記第 1 の T F T と前記第 2 の T F T は極性が同じであることを特徴とする E L 表示装置の駆動方法。

【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項において、

前記 $n+m$ 個の表示期間のうち、各ビットのデジタルビデオ信号に対応する表示期間の長さを $T r_1, T r_2, T r_3, \dots, T r_{n-1}, T r_n$ とすると、

$T r_1, T r_2, T r_3, \dots, T r_{n-1} = 2^0, 2^1, 2^2, 2^{n-2}, 2^{n-1}$ であることを特徴とする E L 表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス状に複数の画素を配置し、各画素が点灯する長さを制御することにより、階調表示を行うパネルを備える E L 表示装置の駆動方法に関するものである。特に、有機 E L 素子を用いた E L パネルを有する E L 表示装置の駆動方法に関するものである。

【0002】

【従来の技術】放送局側における機器やシステムへのデジタル技術の導入が進んでおり、近年では放送電波のデジタル化、すなわちデジタル放送の実現に向けて研究開発が各国で行われている。

【0003】また、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号（デジタルビデオ信号）を、アナログに変換せずにデジタルのまま用いて画像を表示する、アクティブマトリクス型の表示装置の研究開発も、近年盛んに行われている。

【0004】デジタルビデオ信号が有する 2 値の電圧により階調表示を行う方法として、面積分割駆動法と、時間分割駆動法とが挙げられる。

【0005】面積分割駆動法は、1 画素を複数の副画素に分割し、各副画素を独立にデジタルビデオ信号に基づいて駆動することによって、階調表示を行う駆動法である。この面積分割駆動法は、1 画素が複数に分割されていなければならない。またさらに画素を分割するだけでなく、分割された副画素を独立して駆動するために、各副画素にそれぞれ対応する画素電極を設ける必要がある。そのために画素の構造が複雑になるという不都合が生じる。

【0006】一方、時間分割駆動法は、画素の点灯する長さを制御することで階調表示を行う駆動法である。具体的には、1 フレーム期間を複数の表示期間に分割する。そして、デジタルビデオ信号により、各表示期間において各画素が点灯または非点灯の状態になる。1 フレーム期間中に出現する全ての表示期間の内、画素が点灯した表示期間の長さを積算することで、該画素の階調が求められる。

【0007】一般的に、液晶などに比べて有機 E L 材料

の応答速度は速いため、時間分割駆動に適している。

【0008】

【発明が解決しようとする課題】時間分割駆動を行う場合、高階調を実現するには、二進コード法によるのが便利である。以下に、単純な二進コード法による時間分割駆動で中間階調を表示した場合について、図19を用いて詳しく説明する。

【0009】図19(A)に表示装置の画素部を示し、図19(B)に、該画素部において、1フレーム期間中に出現する全ての表示期間の長さを示す。

【0010】図19では、1～64階調の表示が可能な6ビットのデジタルビデオ信号を用いて画像を表示している。画素部の右半分が33(32+1)階調の表示を行っており、左半分が32(31+1)階調の表示を行っている。

【0011】6ビットのデジタルビデオ信号を用いる場合、一般的に1フレーム期間中に6つの表示期間(表示期間Tr1～表示期間Tr6)が出現する。そしてデジタルビデオ信号の1ビット目～6ビット目のデジタルビデオ信号は、それぞれ表示期間Tr1～表示期間Tr6 20 に対応している。

【0012】表示期間Tr1～表示期間Tr6の長さの比は、 $2^0:2^1:2^2:2^3:2^4:2^5$ となる。最上位ビット(この場合6ビット目)のデジタルビデオ信号に対応する表示期間Tr6の長さが一番長く、最下位ビット(1ビット目)のデジタルビデオ信号に対応する表示期間の長さが一番短い。

【0013】32階調の表示を行う場合、表示期間Tr1～Tr5において画素を点灯の状態にし、表示期間Tr6において画素を非点灯の状態にする。また33階調 30 の表示を行う場合、表示期間Tr1～Tr5において画素を非点灯の状態にし、表示期間Tr6において画素を点灯の状態にする。

【0014】この駆動を行った場合、画素部において32階調の表示を行っている部分と33階調の表示を行っている部分との境界部で、偽輪郭が視認されることがある。

【0015】偽輪郭とは、二進コード法による時間階調表示を行ったときに度々視認される不自然な輪郭線であって、人間の視覚の特性によって生じる知覚輝度の変動 40 が主な原因とされている。図20を用いて、偽輪郭の発生のメカニズムについて説明する。

【0016】図20(A)に偽輪郭が発生して見える表示装置の画素部を示し、図20(B)に、該画素部において、1フレーム期間中において出現する表示期間の長さの比を示す。

【0017】図20では、1～64階調の表示が可能な6ビットのデジタルビデオ信号を用いて画像を表示している。画素部の右半分が33階調の表示を行っており、左半分が32階調の表示を行っている。

【0018】画素部の32階調の表示を行っている部分では、1フレーム期間の31/63の期間において画素が点灯の状態であり、1フレーム期間の32/63の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0019】また、画素部の33階調の表示を行っている部分では、1フレーム期間の32/63の期間において画素が点灯の状態であり、1フレーム期間の31/63 10 の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0020】動画を表示する場合、例えば図20(A)において、32階調を表示している部分と33階調を表示している部分の境界が、点線の方に移動したとする。つまり境界付近において、画素は32階調の表示から33階調の表示に切り替わる。すると、境界付近の画素では、32階調を表示するための点灯期間の直後に33階調を表示するための点灯期間が開始される。そのため人間の目には、該画素が1フレーム期間連続して点灯 20 しているように見える。これは画面上に不自然な明るい線として知覚される。

【0021】また逆に、例えば図20(A)において、32階調を表示している部分と33階調を表示している部分の境界が、実線の方に移動したとする。つまり境界付近において、画素は33階調の表示から32階調の表示に切り替わる。すると、境界付近の画素では、33階調を表示するための点灯期間の直後に32階調を表示するための点灯期間が開始される。そのため人間の目には、該画素が1フレーム期間連続して非点灯の状態に見 30 える。これは画面上に不自然な暗い線として知覚される。

【0022】以上のような、画面上に現れて見える不自然な明るい線や暗い線が、偽輪郭(動画偽輪郭)と呼ばれる表示妨害である。

【0023】ところで、静止画においても、動画において動画偽輪郭が発生するのと同じ原因により、表示妨害が視認されてしまうことがある。静止画における表示妨害は、階調の境界が揺れ動いて見えるというものである。以下、静止画においてこのような表示妨害が視認される理由を簡単に述べる。

【0024】人間の目は一点を凝視しているつもりでも、視点は微妙に動いており、定まった一点を正確に見つめることは難しい。そのため、画素部の32階調の表示を行っている部分と、33階調の表示を行っている部分との境目を目で凝視したとき、境目を見つめているつもりでも、実際には視点が左右上下に微妙に動いてしま 40 う。

【0025】例えば、破線で示したように、視点が32 50 階調の表示を行っている部分から、33階調の表示を行

っている部分に移動したとする。そして視点が32階調を表示している部分に置かれたときに画素が非点灯の状態、視点が33階調を表示している部分に置かれたときに画素が非点灯の状態だった場合、人間の目には1フレーム期間を通して、画素がずっと非点灯の状態であったかのように視認されてしまう。

【0026】逆に例えば、実線で示したように、視点が33階調の表示を行っている部分から、32階調の表示を行っている部分に移動したとする。そして視点が33階調を表示している部分に置かれたときに画素が点灯の状態、視点が32階調を表示している部分に置かれたときに画素が点灯の状態だった場合、人間の目には1フレーム期間を通して、画素がずっと点灯の状態であったかのように視認されてしまう。

【0027】したがって、視点が左右上下に微妙に動いてしまうために、人間の目には1フレーム期間を通して画素がずっと点灯の状態、または非点灯の状態であったかのように見え、あたかも境界部が揺れ動いているように表示妨害が視認されてしまう。

【0028】

【課題を解決するための手段】本発明者らは、偽輪郭の視認を防止するために、期間が長い表示期間を一定の規則により複数の表示期間（分割表示期間）に分割した。そしてなおかつ、該複数の分割表示期間が連続して出現しないように、該複数の分割表示期間を1フレーム期間内に分散させることを考えた。

【0029】分割する表示期間は1つでも複数でも良い。ただし上位ビットに対応する表示期間、言いかえると長さの長い表示期間から一定の規則により順に分割することが好ましい。

【0030】また、表示期間の分割数は設計者が適宜選択可能であるが、どこまで分割するかは、表示装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0031】また同じビットのデジタルビデオ信号に対応した分割表示期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割表示期間の長さは必ずしも同じである必要はない。

【0032】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0033】以下に本発明の構成について述べる。

【0034】本発明によって、第1のTF T、第2のTF T、第3のTF T及び有機EL素子をそれぞれ有する画素が、複数設けられたEL表示装置の駆動方法であって、1フレーム期間に $n+m$ 個（ n, m は共に自然数）の表示期間が出現し、前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか1ビットのデジタルビデオ信号にそれぞれ対応しており、前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジ

タルビデオ信号の同じビットに対応しており、前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、前記 $n+m$ 個の表示期間のそれぞれは、前記第1のTF Tがオンになることで、対応するビットの前記デジタルビデオ信号が前記第2のTF Tのゲート電極に入力され、なおかつ前記第3のTF Tがオフになることで開始され、前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの、他の表示期間が開始されるか、もしくは第3のTF Tがオンになることで終了し、前記第2のTF Tがオンになると前記有機EL素子が発光し、オフになると発光しないことを特徴とするEL表示装置の駆動方法が提供される。

【0035】本発明によって、第1のTF T、第2のTF T、第3のTF T及び有機EL素子をそれぞれ有する画素が、複数設けられたEL表示装置の駆動方法であって、1フレーム期間に $n+m$ 個（ n, m は共に自然数）の表示期間が出現し、前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか1ビットのデジタルビデオ信号にそれぞれ対応しており、前記 $n+m$ 個の表示期間のいずれか複数の表示期間は、前記デジタルビデオ信号の最上位ビットに対応しており、前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、前記 $n+m$ 個の表示期間のそれぞれは、前記第1のTF Tがオンになることで、対応するビットの前記デジタルビデオ信号が前記第2のTF Tのゲート電極に入力され、なおかつ前記第3のTF Tがオフになることで開始され、前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの、他の表示期間が開始されるか、もしくは第3のTF Tがオンになることで終了し、前記第2のTF Tがオンになると前記有機EL素子が発光し、オフになると発光しないことを特徴とするEL表示装置の駆動方法が提供される。

【0036】本発明によって、第1のTF T、第2のTF T、第3のTF T及び有機EL素子をそれぞれ有する画素が、複数設けられたEL表示装置の駆動方法であって、1フレーム期間に $n+m$ 個（ n, m は共に自然数）の表示期間が出現し、前記 $n+m$ 個の表示期間は、 n ビットのデジタルビデオ信号のうち、いずれか1ビットのデジタルビデオ信号にそれぞれ対応しており、前記デジタルビデオ信号の上位ビットは、それぞれ前記 $n+m$ 個の表示期間のいずれか複数の表示期間に対応しており、前記複数の表示期間の間に、前記 $n+m$ 個の表示期間のうちの、前記デジタルビデオ信号の他のビットに対応する表示期間が出現し、前記 $n+m$ 個の表示期間のそれぞれは、前記第1のTF Tがオンになることで、対応するビットの前記デジタルビデオ信号が前記第2のTF Tの

ゲート電極に入力され、なおかつ前記第3のTFTがオフになることで開始され、前記 $n+m$ 個の表示期間のそれぞれは、開始された後に、前記 $n+m$ 個の表示期間のうちの他の表示期間が開始されるか、もしくは第3のTFTがオンになることで終了し、前記第2のTFTがオンになると前記有機EL素子が発光し、オフになると発光しないことを特徴とするEL表示装置の駆動方法が提供される。

【0037】本発明は、前記第1のTFTと前記第2のTFTが、極性が同じであることを特徴としていても良い。

【0038】本発明は、前記 $n+m$ 個の表示期間のうち、各ビットのデジタルビデオ信号に対応する表示期間の長さを $T_1, T_2, T_3, \dots, T_{n-1}, T_n$ とすると、 $T_1, T_2, T_3, \dots, T_{n-1} = 2^0, 2^1, 2^2, 2^{n-2}, 2^{n-1}$ であることを特徴としていても良い。

【0039】

【発明の実施の形態】（実施の形態1）以下に、本発明の時間分割駆動法で中間階調を表示した場合について、図1を用いて詳しく説明する。

【0040】図1（A）に表示装置の画素部を示し、図1（B）に、該画素部において、1フレーム期間（F）中に出現する表示期間 T_r の長さの比を示す。

【0041】図1では、 $1 \sim 2^n$ 階調の表示が可能な n ビットのデジタルビデオ信号を用いて、画像を表示している。画素部の右半分が $2^{n-1} + 1$ 階調の表示を行っており、左半分が 2^{n-1} 階調の表示を行っている。

【0042】 n ビットのデジタルビデオ信号を用いる場合、単純な二進コード法によれば、1フレーム期間中に n 個の表示期間（表示期間 $T_{r1} \sim$ 表示期間 T_{rn} ）が出現する。そしてデジタルビデオ信号の1ビット目 $\sim n$ ビット目のデジタルビデオ信号は、それぞれ表示期間 $T_{r1} \sim$ 表示期間 T_{rn} に対応している。

【0043】表示期間 $T_{r1} \sim$ 表示期間 T_{rn} の長さの比は、 $2^0 : 2^1 : 2^2 : \dots : 2^{n-2} : 2^{n-1}$ となる。最上位ビット（この場合 n ビット目）のデジタルビデオ信号に対応する表示期間 T_{rn} の長さが一番長く、最下位ビット（1ビット目）のデジタルビデオ信号に対応する表示期間 T_{r1} の長さが一番短い。

【0044】 2^{n-1} 階調の表示を行う場合、表示期間 $T_{r1} \sim$ 表示期間 $T_{r(n-1)}$ において画素を点灯の状態にし、表示期間 T_{rn} において画素を非点灯の状態にする。また $2^{n-1} + 1$ 階調の表示を行う場合、表示期間 $T_{r1} \sim$ 表示期間 $T_{r(n-1)}$ において画素を非点灯の状態にし、表示期間 T_{rn} において画素を点灯の状態にする。

【0045】そして本実施の形態においては、一番期間の長い表示期間である表示期間 T_{rn} を2つの分割表示期間（ $S1T_{rn}$ と $S2T_{rn}$ ）に分割している。なお本実施の形態において、表示期間 T_{rn} を2つの分割表

示期間に分割しているが、本発明はこれに限定されない。2つ以上であれば分割表示期間は、駆動回路や画素のTFTの動作速度が追いつく限り、いくつ設けても良い。

【0046】分割表示期間は連続して出現せず、必ず間に他のビットのデジタルビデオ信号に対応する表示期間が出現するようにする。

【0047】なお分割表示期間の長さは全て同じでなくとも良い。また、分割しない表示期間の並び順は、必ずしも制限を設けない。上位ビットに対応した表示期間から、下位ビットに対応した表示期間の順に並べるとは限らない。

【0048】次に図2を用いて、本発明の駆動方法において偽輪郭などの表示妨害が視認されずらい理由について述べる。

【0049】図2（A）に本発明の駆動方法で表示を行う表示装置の画素部を示し、図2（B）に、該画素部において、1フレーム期間中に出現する表示期間や分割表示期間を、画素が点灯する期間と点灯しない（非点灯）の期間とに分けて、それぞれの期間の長さを示す。

【0050】図2（A）では、画素部の右半分が $2^{n-1} + 1$ 階調の表示を行っており、左半分が 2^{n-1} 階調の表示を行っている。

【0051】画素部の 2^{n-1} 階調の表示を行っている部分では、1フレーム期間中の $2^{n-1} - 1 / 2^n$ の期間において画素が点灯の状態であり、1フレーム期間中の $2^{n-1} / 2^n$ の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0052】また、画素部の $2^{n-1} + 1$ 階調の表示を行っている部分では、1フレーム期間中の $2^{n-1} / 2^n$ の期間において画素が点灯の状態であり、1フレーム期間中の $2^{n-1} - 1 / 2^n$ の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0053】1フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現するので、人間の視点が左右上下に微妙に動いており、たまたま別の表示期間または分割表示期間にまたがっていたりすることも十分起こりうる。こういった場合に、人間の視点が非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視してしまったとしても、連続する点灯期間もしくは非点灯期間の長さが、従来の単純な二進コード法による駆動に比べて短いため、偽輪郭の視認を防止することができる。

【0054】例えば、破線で示したように、視点が 2^{n-1} 階調を表示している部分から、 $2^{n-1} + 1$ 階調を表示している部分に移動したとする。そして本発明の駆動方法では、視点が 2^{n-1} 階調を表示している部分に置かれたときに画素が非点灯の状態であり、なおかつ視点が2

$2^{n-1} + 1$ 階調を表示している部分に移動したときに画素が点灯の状態であったとしても、連続して出現する2つの非点灯期間の和が従来に比べて短くなる。そのため、人間の目には1フレーム期間を通して、画素がずっと非点灯の状態であったかのように視認されてしまうのを防ぐことができる。

【0055】逆に例えば、実線で示したように、視点が $2^{n-1} + 1$ 階調を表示している部分から、 2^{n-1} 階調を表示している部分に移動したとする。そして本発明の駆動方法では、視点が $2^{n-1} + 1$ 階調を表示している部分に置かれたときに画素が点灯の状態であり、なおかつ視点が 2^{n-1} 階調を表示している部分に移動したときに画素が点灯の状態であったとしても、連続して出現する2つの点灯期間の和が従来に比べて短くなる。そのため、人間の目には1フレーム期間を通して、画素がずっと点灯の状態であったかのように視認されてしまうのを防ぐことができる。

【0056】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0057】（実施の形態2）実施の形態1では、最上位ビットのデジタルビデオ信号に対応する表示期間のみ、分割表示期間に分割していた。本実施の形態では、最上位ビットから連続して順に選ばれた、複数の上位ビットのデジタルビデオ信号に対応する表示期間を、それぞれ複数の分割表示期間に分割する例について説明する。なお本明細書において、上位ビットは分割表示期間に分割された表示期間に対応しており、下位ビットは分割表示期間に分割されない表示期間に対応している。

【0058】図3を用いて本実施の形態の駆動方法について説明する。図3は、 n ビットのデジタルビデオ信号を用いて時分割階調表示を行った際に、画素部において1フレーム期間（ F ）中に出現する表示期間 T_r と分割表示期間 $S T_r$ の長さの比を示す。

【0059】本実施の形態では、表示期間 $T_r n$ と表示期間 $T_r (n-1)$ を、上位ビットのデジタルビデオ信号に対応する表示期間とする。なお本実施の形態では、 n ビットと、 $(n-1)$ ビットの2つのビットを上位ビットとする駆動方法について説明するが、本発明はこれに限定されない。上位ビットの数は1つでも良く、もちろん2以上であっても良い。ただし全ての上位ビットは、最上位ビットから順に連続していることが必要である。例えば上位ビットが3つの場合、 n ビット目と、 $(n-1)$ ビット目と、 $(n-2)$ ビット目のデジタルビデオ信号が上位ビットに相当する。

【0060】表示期間 $T_r 1 \sim$ 表示期間 $T_r n$ の長さの比は、 $2^0 : 2^1 : 2^2 : \dots : 2^{n-2} : 2^{n-1}$ となる。

【0061】 2^{n-1} 階調の表示を行う場合、表示期間 $T_r 1 \sim$ 表示期間 $T_r (n-1)$ において画素を点灯の状態にし、表示期間 $T_r n$ において画素を非点灯の状態に

する。また $2^{n-1} + 1$ 階調の表示を行う場合、表示期間 $T_r 1 \sim$ 表示期間 $T_r (n-1)$ において画素を非点灯の状態にし、表示期間 $T_r n$ において画素を点灯の状態にする。

【0062】そして本実施の形態においては、上位ビットに対応する表示期間、本実施の形態では表示期間 $T_r n$ を3つの分割表示期間（ $S1 T_r n$ 、 $S2 T_r n$ 、 $S3 T_r n$ ）に、表示期間 $T_r (n-1)$ を2つの分割表示期間（ $S1 T_r (n-1)$ 、 $S2 T_r (n-1)$ ）にそれぞれ分割している。なお本実施の形態では、表示期間 $T_r n$ の分割数が3、表示期間 $T_r (n-1)$ の分割数が2となるように分割表示期間を形成したが、本発明はこれに限定されない。上位ビットに対応する表示期間の分割数はこの数値に限定されず、2以上であれば、駆動回路や画素のTFTの動作速度が追いつく限りいくつでも設けることが可能である。

【0063】同じビットのデジタルビデオ信号に対応する分割表示期間は連続して出現せず、必ず間に他のビットのデジタルビデオ信号に対応するサブフレーム期間または表示期間が出現するようにする。

【0064】なお同じビットのデジタルビデオ信号に対応する分割表示期間の長さは、全て同じでなくとも良い。

【0065】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0066】（実施の形態3）本実施の形態では、表示期間を一定の規則に基づいて、複数の分割表示期間に分割する駆動方法について説明する。説明を容易にするために、本実施の形態では8ビットのデジタルビデオ信号を用いて階調表示を行う場合について説明する。

【0067】 n ビット（ $n=1 \sim 8$ ）のデジタルビデオ信号に対応する表示期間の長さを、それぞれ L_n とし、該表示期間の分割数を m_n とする。このとき、 $m_n = 1, 2, 3, 4, \dots$ のそれぞれの場合について、 L_n / m_n^3 の値を求めると、以下の表1ようになる。

【0068】

【表1】

L_n / m_n^3	$m_n=1$	$m_n=2$	$m_n=3$	$m_n=4$
$L_8=128$	128	16	4.74	2
$L_7=64$	64	8	2.37	1
$L_6=32$	32	4	1.18	
$L_5=16$	16	2	0.59	
$L_4=8$	8	1		
$L_3=4$	4			
$L_2=2$	2			
$L_1=1$	1			

【0069】ここで本実施の形態では、1フレーム期間中に設ける表示期間と分割表示期間の総数を13とする。全ての表示期間及び分割表示期間の長さは、なるべく等しいことが好ましい。全ての表示期間及び分割表示期間の長さが等しければ、偽輪郭などの表示妨害が視認

されるのをより効果的に防ぐことができる。よって表 1 に示した L_n/m_n の値がなるべく等しくなるように、なおかつ 1 フレーム期間中に設ける表示期間と分割表示期間の総数が 13 になるように、各表示期間の分割数を選択する。また上位ビットに対応する表示期間、言いかえると長さの長い表示期間から順に分割することが好ましい。本実施の形態では表 2 に丸印で示すように分割する。

【0070】

【表 2】

L_n/m_n	$m_n=1$	$m_n=2$	$m_n=3$	$m_n=4$
$L_8=128$	128	16	4.75	2
$L_7=64$	64	8	2.37	1
$L_6=32$	32	4	1.18	
$L_5=16$	16	2	0.59	
$L_4=8$	8	1		
$L_3=4$	4			
$L_2=2$	2			
$L_1=1$	1			

【0071】つまり、表示期間 $T_{r1} \sim 4$ が分割なし、表示期間 $T_{r5} \sim 7$ が 2 分割、表示期間 T_{r8} が 3 分割となるようにする。また 1 フレーム期間において、同じビットのデジタルビデオ信号に対応する表示期間は、連続して出現しないように駆動する。

【0072】表示期間の分割数は設計者が適宜選択可能であるが、どこまで分割するかは、表示装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0073】また同じビットのデジタルビデオ信号に対応した分割表示期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割表示期間の長さは必ずしも同じである必要はない。

【0074】なお、条件によっては、上述の L_n/m_n に代わり、 L_n/m_n を用いたほうがより効果的に偽輪郭の視認を防ぐことが可能な場合もある。どちらの値を基準に駆動方法を決定するかは、設計者が適宜選択することが可能である。

【0075】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0076】

【実施例】以下に、本発明の実施例について説明する。

【0077】（実施例 1）本実施例では、各画素に設けられた 2 つの薄膜トランジスタ (TFT) を用いて、有機 EL 素子の発光を制御する EL ディスプレイの画素部の構成と、駆動方法について説明する。

【0078】本実施例の EL ディスプレイの画素部 401 の拡大図を図 4 に示す。ソース信号線 ($S_1 \sim S_x$)、電源供給線 ($V_1 \sim V_x$)、ゲート信号線 ($G_1 \sim G_y$) が画素部 401 に設けられている。

【0079】本実施例の場合、ソース信号線 ($S_1 \sim S_x$) のいずれか 1 つと、電源供給線 ($V_1 \sim V_x$) の

いずれか 1 つと、ゲート信号線 ($G_1 \sim G_y$) のいずれか 1 つとを備えた領域が画素 404 である。画素部 401 にはマトリクス状に複数の画素 404 が配置されることになる。

【0080】画素 404 の拡大図を図 5 に示す。図 5 において、405 はスイッチング用 TFT である。スイッチング用 TFT 405 のゲート電極は、ゲート信号線 G ($G_1 \sim G_y$ のいずれか 1 つ) に接続されている。スイッチング用 TFT 405 のソース領域とドレイン領域は、一方がソース信号線 S ($S_1 \sim S_x$ のいずれか 1 つ) に、もう一方が EL 駆動用 TFT 406 のゲート電極、各画素が有するコンデンサ 408 にそれぞれ接続されている。

【0081】コンデンサ 408 はスイッチング用 TFT 405 が非選択状態 (オフ状態) にある時、EL 駆動用 TFT 406 のゲート電圧 (ゲート電極とソース領域間の電位差) を保持するために設けられている。なお本実施例ではコンデンサ 408 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 408 を設けない構成にしても良い。

【0082】また、EL 駆動用 TFT 406 のソース領域とドレイン領域は、一方が電源供給線 V ($V_1 \sim V_x$ のいずれか 1 つ) に接続され、もう一方は有機 EL 素子 407 に接続される。電源供給線 V はコンデンサ 408 に接続されている。

【0083】有機 EL 素子 407 は陽極と陰極と、陽極と陰極との間に設けられた EL 層とからなる。陽極が EL 駆動用 TFT 406 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が EL 駆動用 TFT 406 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0084】有機 EL 素子 407 の対向電極には対向電位が与えられている。また電源供給線 V は電源電位が与えられている。電源電位と対向電位は、本発明の駆動方法を用いた EL ディスプレイに、外付けの IC 等により設けられた電源によって与えられる。電源供給線の電源電位は、電源電位が有機 EL 素子の画素電極に与えられたときに有機 EL 素子が発光する程度に、対向電極との間に電位差を有する電位に保たれている。

【0085】現在の典型的な有機 EL ディスプレイには、画素の発光する面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が mA/cm^2 程度必要となる。そのため特に画面サイズが大きくなると、IC に設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本実施例においては、電源電位と対向電位は常に一定に保たれており、IC に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0086】スイッチング用TFT405、EL駆動用TFT406は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることができる。ただしEL駆動用TFT406のソース領域またはドレイン領域が有機EL素子407の陽極と接続されている場合、EL駆動用TFT406はpチャネル型TFTであることが望ましい。また、EL駆動用TFT406のソース領域またはドレイン領域が有機EL素子407の陰極と接続されている場合、EL駆動用TFT406はnチャネル型TFTであることが望ましい。

【0087】またスイッチング用TFT405、EL駆動用TFT406は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0088】次に上述した構成を有する本発明のELディスプレイの駆動方法について、図6を用いて説明する。図6において、横軸は時間を示しており、縦軸は選択されているゲート信号線の位置を示している。

【0089】まず、ゲート信号線駆動回路からゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1が選択される。なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線に接続されている全てのスイッチング用TFT405が全てオンの状態になることを意味する。つまりここでは、ゲート信号線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT405がオンの状態になることを意味する。

【0090】そして同時に、ソース信号線（S1～Sx）にソース信号線駆動回路から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT405を介してEL駆動用TFT406のゲート電極に入力される。

【0091】そして本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT406はオフの状態になる。よって有機EL素子407の画素電極には電源電位は与えられない。その結果、

「0」の情報を有するデジタルビデオ信号が入力された画素が有する有機EL素子407は発光しない。

【0092】なお本明細書においてデジタルビデオ信号が画素に入力されるとは、該画素が有するEL駆動用TFTのゲート電極に、デジタルビデオ信号が入力されることを意味する。

【0093】逆に、「1」の情報を有していた場合、EL駆動用TFT406はオンの状態になる。よって有機EL素子407の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する有機EL素子407は発光する。

【0094】このように有機EL素子407が発光、または非発光の状態になり、1ライン目の画素は表示を行

う。

【0095】次にゲート信号線G1の選択が終了すると同時に、ゲート信号線G2がゲート信号によって選択される。そしてゲート信号線G2に接続されている全ての画素のスイッチング用TFT405がオンの状態になり、2ライン目の画素にソース信号線（S1～Sx）から1ビット目のデジタルビデオ信号が入力される。

【0096】そして順に、全てのゲート信号線（G1～Gy）がゲート信号によって選択される。全てのゲート信号線（G1～Gy）が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。

【0097】なお書き込み期間Ta1が開始されてから、次に出現する書き込み期間（この場合Ta2）が開始されるまでの期間を、表示期間Tr1と呼ぶ。

【0098】表示期間Tr1が終了すると書込期間Ta2となり、書込期間Ta1の場合と同様に順に全てのゲート信号線が順に選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間Ta2と呼ぶ。

【0099】書き込み期間Ta2が開始されてから次に出現する書き込み期間が開始されるまでの期間（この場合書き込み期間Tan）を表示期間Tr2と呼ぶ。

【0100】表示期間Tr2が終了すると、書き込み期間Tanが開始される。書込期間Ta1の場合と同様に順に全てのゲート信号線が順に選択され、nビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素にnビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間Tanと呼ぶ。

【0101】書き込み期間Tanが開始されてから次に出現する書き込み期間が開始されるまでの期間（この場合書き込み期間Ta3）を分割表示期間S1Trnと呼ぶ。

【0102】そして分割表示期間S1Trnが終了すると、順に表示期間Tr3、Tr4、…、Tr（n-1）が出現し、それぞれの期間において同様に、対応するビットのデジタルビデオ信号が画素に入力される。

【0103】Tr（n-1）が終了すると、書き込み期間Tanが開始される。書込期間Ta1の場合と同様に順に全てのゲート信号線が順に選択され、nビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素にnビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間Tanと呼ぶ。

【0104】書き込み期間Tanが開始されてから次に出現する書き込み期間が開始されるまでの期間（この場合、次のフレーム期間における書き込み期間Ta1）を分割表示期間S2Trnと呼ぶ。

【0105】なお分割表示期間S1Trnと分割表示期間S2Trnとを合わせて、表示期間Trnと呼ぶ。

10

20

30

40

50

【0106】全ての表示期間 ($T_{r1} \sim T_{rn}$) が終了すると1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書き込み期間 T_{a1} が出現し、上述した動作を繰り返す。

【0107】本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さの比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-1)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで1～2°階調のうち所望の階調表示を行うことができる。

【0108】1フレーム期間中に有機EL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全ての表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0109】また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、同じ n ビット目のデジタルビデオ信号に対応する、分割表示期間 $S1T_{rn}$ と分割表示期間 $S2T_{rn}$ は、連続して出現しないようにすることが肝要である。

【0110】なお本実施例では、電源電位と対向電位の高さを常に一定にしていたが、本発明はこれに限定されない。書き込み期間において電源電位と対向電位の高さを同じに保ち、書き込み期間が終了すると同時に、電源電位が有機EL素子の画素電極に与えられたときに有機EL素子が発光する程度の電位差を、電源電位と対向電極の電位とが常に有するようにしても良い。

【0111】この場合、表示期間内に書き込み期間は含まれない。表示期間は書き込み期間が終了してから、次に出現する書き込み期間が開始されるまでの期間に相当する。例えば表示期間 T_{r1} は、書き込み期間 T_{a1} が終了してから、書き込み期間 T_{a1} の次に出現する書き込み期間 (例えば T_{a2}) が開始されるまでの期間である。

【0112】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0113】なお本実施例では、表示期間 T_{rn} を2つの分割表示期間 $S1T_{rn}$ と $S2T_{rn}$ とに分割しているが、本実施例はこの構成に限定されない。分割する表示期間は1つでも複数でも良い。ただし上位ビットに対応する表示期間、言いかえると長さの長い表示期間から

順に分割することが好ましい。また、表示期間の分割数は設計者が適宜選択可能であるが、どこまで分割するかは、表示装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0114】また同じビットのデジタルビデオ信号に対応した分割表示期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割表示期間の長さは必ずしも同じである必要はない。

【0115】(実施例2) 本実施例では、各画素に設けられた3つの薄膜トランジスタ (TFT) を用いて、有機EL素子の発光を制御するELディスプレイの画素部の構成と、駆動方法について説明する。

【0116】本実施例のELディスプレイの画素部501の拡大図を図7に示す。ソース信号線 ($S1 \sim Sx$)、電源供給線 ($V1 \sim Vx$)、書き込み用ゲート信号線 (第1のゲート信号線) ($Ga1 \sim Gay$)、消去用ゲート信号線 (第2のゲート信号線) ($Ge1 \sim Ge$) が画素部501に設けられている。

【0117】ソース信号線 ($S1 \sim Sx$) の1つと、電源供給線 ($V1 \sim Vx$) の1つと、書き込み用ゲート信号線 ($Ga1 \sim Gay$) の1つと、消去用ゲート信号線 ($Ge1 \sim Ge$) の1つとを備えた領域が画素505である。画素部501にはマトリクス状に複数の画素505が配列されることになる。

【0118】画素505の拡大図を図8に示す。図8において、507はスイッチング用TFTである。スイッチング用TFT507のゲート電極は、書き込み用ゲート信号線 Ga ($Ga1 \sim Gay$ のいずれか1つ) に接続されている。スイッチング用TFT507のソース領域とドレイン領域は、一方がソース信号線 S ($S1 \sim Sx$ のいずれか1つ) に、もう一方がEL駆動用TFT508のゲート電極、各画素が有するコンデンサ512及び消去用TFT509のソース領域又はドレイン領域にそれぞれ接続されている。

【0119】コンデンサ512はスイッチング用TFT505が非選択状態 (オフ状態) にある時、EL駆動用TFT508のゲート電圧を保持するために設けられている。なお本実施例ではコンデンサ512を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ512を設けない構成にしても良い。

【0120】また、EL駆動用TFT508のソース領域とドレイン領域は、一方が電源供給線 V ($V1 \sim Vx$ のいずれか1つ) に接続され、もう一方は有機EL素子510に接続される。電源供給線 V はコンデンサ512に接続されている。

【0121】また消去用TFT509のソース領域とドレイン領域のうち、スイッチング用TFT507のソース領域またはドレイン領域に接続されていない方は、電源供給線 V に接続されている。そして消去用TFT509のゲート電極は、消去用ゲート信号線 Ge ($Ge1 \sim$

Gex のいずれか 1 つ) に接続されている。

【0122】有機 EL 素子 510 は陽極と陰極と、陽極と陰極との間に設けられた EL 層とからなる。陽極が EL 駆動用 TFT 508 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が EL 駆動用 TFT 508 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0123】有機 EL 素子 510 の対向電極には対向電位が与えられている。また電源供給線 V は電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときに有機 EL 素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明の駆動方法を用いた EL ディスプレイに、外付けの IC 等により設けられた電源によって与えられる。なお対向電位を与える電源を、本明細書では特に対向電源 511 と呼ぶ。

【0124】現在の典型的な EL ディスプレイには、画素の発光する面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が mA/cm^2 程度必要となる。そのため特に画面サイズが大きくなると、IC に設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本実施例においては、電源電位と対向電位は常に一定に保たれており、IC に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0125】スイッチング用 TFT 507、EL 駆動用 TFT 508、消去用 TFT 509 は、n チャネル型 TFT でも p チャネル型 TFT でもどちらでも用いることができる。またスイッチング用 TFT 507、EL 駆動用 TFT 508、消去用 TFT 509 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0126】次に図 7～図 8 で示した本発明の EL ディスプレイの駆動方法について、図 9 を用いて説明する。図 9 において、横軸は時間を示しており、縦軸は選択されているゲート信号線の位置を示している。

【0127】はじめに、1 ライン目の画素において表示期間 T_{r1} が開始され、書き込み用ゲート信号線駆動回路 (図示せず) から書き込み用ゲート信号線 Ga1 に入力される書き込み用ゲート信号 (第 1 のゲート信号) によって、書き込み用ゲート信号線 Ga1 が選択される。そして書き込み用ゲート信号線 Ga1 に接続されている全ての画素 (1 ライン目の画素) のスイッチング用 TFT 507 がオンの状態になる。

【0128】そして同時に、ソース信号線駆動回路 502 からソース信号線 S1～Sx に入力される 1 ビット目のデジタルビデオ信号が、スイッチング用 TFT 507 を介して EL 駆動用 TFT 508 のゲート電極に入力さ

れる。

【0129】デジタルビデオ信号は「0」または「1」の情報を持っており、「0」と「1」のデジタルビデオ信号は、一方が Hi、一方が Lo の電圧を有する信号である。

【0130】本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL 駆動用 TFT 508 はオフの状態となる。よって有機 EL 素子 510 の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する有機 EL 素子 510 は発光しない。

【0131】逆に、デジタルビデオ信号が「1」の情報を有していた場合、EL 駆動用 TFT 508 はオンの状態となる。よって有機 EL 素子 510 の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する有機 EL 素子 510 は発光する。

【0132】なお本実施例ではデジタルビデオ信号が「0」の情報を有していた場合、EL 駆動用 TFT 508 はオフの状態となり、「1」の情報を有していた場合 EL 駆動用 TFT 508 はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、EL 駆動用 TFT 508 がオンの状態となり、「1」の情報を有していた場合 EL 駆動用 TFT 508 オフの状態となっても良い。

【0133】このように、1 ライン目の画素にデジタルビデオ信号が入力されると同時に、有機 EL 素子 510 が発光、または非発光の状態になり、1 ライン目の画素は表示を行う。

【0134】次に書き込み用ゲート信号線 Ga1 の選択が終了すると、書き込み用ゲート信号線 Ga2 が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線 Ga2 に接続されている全ての画素のスイッチング用 TFT 507 がオンの状態になり、2 ライン目の画素にソース信号線 S1～Sx から 1 ビット目のデジタルビデオ信号が入力される。

【0135】そして順に、全ての書き込み用ゲート信号線 Ga1～Gay が選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T_{a1} である。各ラインの画素において書き込み期間 T_a が開始されるタイミングはそれぞれ時間差を有している。

【0136】なお、画素が表示を行っている期間を表示期間 T_r と呼ぶ。例えば 1 ライン目の画素だと、書き込み用ゲート信号線 Ga1 が選択されると同時に表示期間 T_{r1} が開始される。各ラインの表示期間が開始されるタイミングはそれぞれ異なっている。

【0137】一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間

Ta1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線Ge1入力される消去用ゲート信号（第2のゲート信号）によって、消去用ゲート信号線Ge1が選択される。そして、消去用ゲート信号線Ge1に接続されている全ての画素（1ライン目の画素）の消去用TFT509がオンの状態になる。そして電源供給線V1～Vxの電源電位が消去用TFT509を介してEL駆動用TFT508のゲート電極に与えられる。

【0138】電源電位がEL駆動用TFT508のゲート電極に与えられると、EL駆動用TFT508のゲート電極とソース領域の電位が同じになり、ゲート電圧が0Vになる。よってEL駆動用TFT508はオフの状態となる。つまり、書き込み用ゲート信号線Ga1が書き込み用ゲート信号によって選択されたときからEL駆動用TFT508のゲート電極が保持していたデジタルビデオ信号は、EL駆動用TFT508のゲート電極に電源電位が与えられることで消去される。よって電源電位は有機EL素子510の画素電極に与えられなくなり、1ライン目の画素が有する有機EL素子510は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。

【0139】そして消去用ゲート信号線Ge1の選択が終了すると、消去用ゲート信号線Ge2が選択され、消去用ゲート信号線Ge2に接続されている全ての画素（2ライン目の画素）の消去用TFT509がオンの状態になる。そして電源供給線V1～Vxの電源電位が消去用TFT509を介してEL駆動用TFT508のゲート電極に与えられる。電源電位がEL駆動用TFT508のゲート電極に与えられると、EL駆動用TFT508はオフの状態となる。よって電源電位は有機EL素子510の画素電極に与えられなくなる。その結果2ライン目の画素が有する有機EL素子510は全て非発光の状態になり、2ライン目の画素が表示を行わない非表示の状態となる。

【0140】そして順に、全ての消去用ゲート信号線に消去用ゲート信号が入力されていく。全ての消去用ゲート信号線Ge1～Geyが選択され、全ての画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間Te1である。各ラインにおいて書き込み期間Teが開始されるタイミングはそれぞれ時間差を有している。

【0141】なお、画素が表示を行わない期間を非表示期間Tdと呼ぶ。例えば1ライン目の画素だと、消去用ゲート信号線Ge1が選択されると同時に表示期間Tr1が終了し、非表示期間Td1が開始される。表示期間と同様に、各ラインの非表示期間が開始されるタイミングは異なっている。

【0142】一方、全ての画素が保持している1ビット

目のデジタルビデオ信号が消去される前、言い換えると消去期間Te1が終了する前に、画素が保持している1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号による書き込み用ゲート信号線Ga1の選択が行われる。そして1ライン目の画素に、2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間Td1が終了する。

【0143】書き込み期間Ta1が開始されてから、次に出現する書き込み期間（この場合書き込み期間Ta2）が開始されるまでの期間が表示期間Tr1である。

【0144】次に表示期間Tr2が開始され、書き込み期間Ta2となる。そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。

【0145】一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間Ta2が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線Ge1の選択が行われる。よって1ライン目の画素が有する有機EL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間Tr2は終了し、非表示期間Td2となる。

【0146】そして順に、全ての消去用ゲート信号線Ge2～Geyが選択され、全ての画素が保持している2ビット目のデジタルビデオ信号が消去される。全ての画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間Te2である。

【0147】次に、表示期間Tr2が終了し、表示期間Tr3が開始される。そして同様に、順に全ての書き込み用ゲート信号線が選択され、3ビット目のデジタルビデオ信号が全ての画素に入力される。

【0148】一方、全ての画素に3ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間Ta3が終了する前に、画素への3ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線Ge1の選択が行われる。よって1ライン目の画素が有する有機EL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間Tr3は終了し、非表示期間Td3となる。

【0149】そして順に、全ての消去用ゲート信号線Ge2～Geyが選択され、全ての画素が保持している3ビット目のデジタルビデオ信号が消去される。全ての画素が保持している3ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間Te3である。

【0150】次に、表示期間Tr3が終了し、分割表示期間S1Trnが開始される。そして同様に、順に全ての書き込み用ゲート信号線が選択され、nビット目のデ

ジタルビデオ信号が全ての画素に入力される。

【0151】一方、全ての画素に n ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{an} が終了する前に、画素への n ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号による消去用ゲート信号線 G_{e1} の選択が行われる。よって1ライン目の画素が有する有機EL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{rn} は終了し、非表示期間 T_{d3} となる。

【0152】そして順に、全ての消去用ゲート信号線 $G_{e2} \sim G_{ey}$ が選択され、全ての画素が保持している n ビット目のデジタルビデオ信号が消去される。全ての画素が保持している n ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{en} である。

【0153】上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と、分割表示期間 S_{Tr} と、非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）が開始されるまでの期間である。そして表示期間 $T_{r2}, T_{r3}, \dots, T_{r(m-1)}$ と非表示期間 $T_{d2}, T_{d3}, \dots, T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 $T_{a1}, T_{a2}, \dots, T_{am}$ と消去期間 $T_{e1}, T_{e2}, \dots, T_{e(m-1)}$ とによって、その期間が定められる。

【0154】説明を簡便にするために、図9では $m=n-2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1から n までの値を任意に選択することが可能である。

【0155】次に表示期間 $T_{rm} [n-2$ （以下、括弧内は $m=n-2$ の場合を示す））が開始されると、 $m [n-2]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力され、1ライン目の画素は表示期間 $T_{rm} [n-2]$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、 $m [n-2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0156】そして次に表示期間 $T_r (m+1) [n-1]$ が開始され、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $m [n-2]$ ビット目のデジタルビデオ信号は、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_r (m+1) [n-1]$ となり、表示を行う。 $(m+1) [n-1]$ ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

【0157】そして次に分割表示期間 S_{1Trn} が開始され、 n ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $(m+1) [n-1]$ ビット目のデジタルビデオ信号は、 n ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 T_{rn} となり、表示を行う。 n ビット目のデジタルビデオ信号は、次のフレーム期間のデジタルビデオ信号が入力されるまで画素に保持される。

10 【0158】表示期間 $T_{rm} [n-2], \dots, T_{rn}$ は、書き込み期間 $T_{am} [n-2], \dots, T_{an}$ が開始されてから、その次に出現する書き込み期間が開始されるまでの期間である。

【0159】全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間（F）と呼ぶ。

【0160】そして1フレーム期間終了後は、再び書き込み用ゲート信号線 G_{a1} が書き込み用ゲート信号によって選択される。そして、次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【0161】本実施例の駆動方法では、全ての書き込み期間の長さの和が1フレーム期間よりも短いことが重要である。また本実施例の駆動方法では、表示期間 T_{rn} が2つの分割表示期間 S_{1Trn} と S_{2Trn} とに分けられている。よって表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : 2 \times T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで $1 \sim 2^n$ 階調のうち所望の階調表示を行うことができる。

【0162】1フレーム期間中に有機EL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0163】 m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0164】また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に $T_{r3}, T_{r5}, T_{r2}, \dots$ という順序で表示期間が出現させることも可能である。ただ

し、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

【0165】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0166】なお本実施例では、表示期間 T_{rn} を2つの分割表示期間 $S1T_{rn}$ と $S2T_{rn}$ とに分割しているが、本実施例はこの構成に限定されない。分割する表示期間は1つでも複数でも良い。ただし上位ビットに対応する表示期間、言いかえると長さの長い表示期間から順に分割することが好ましい。また、表示期間の分割数は設計者が適宜選択可能であるが、どこまで分割するかは、表示装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0167】また同じビットのデジタルビデオ信号に対応した分割表示期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割表示期間の長さは必ずしも同じである必要はない。

【0168】なお本実施例では、実施例1で示した駆動方法と異なり、有機EL素子が発光する期間を、書き込み期間より短くすることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティ比）が、書き込み期間の長さによってのみ決定されない。

【0169】なお本実施例では、EL駆動用TFTのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL駆動用TFTが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量をEL駆動用TFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【0170】このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0171】（実施例3）本実施例では、図4に示した画素部を駆動させるために用いるソース信号線駆動回路と、ゲート信号線駆動回路の詳しい構成について説明する。

【0172】図10に本実施例のELディスプレイの駆動回路のブロック図を示す。図10（A）はソース信号線駆動回路601であり、シフトレジスタ602、ラッチ（A）603、ラッチ（B）604を有している。

【0173】ソース信号線駆動回路601において、シフトレジスタ602にクロック信号（CLK）およびスタートパルス（SP）が入力される。シフトレジスタ602は、これらのクロック信号（CLK）およびスター

トパルス（SP）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次供給する。

【0174】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいため生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0175】バッファによって緩衝増幅されたタイミング信号は、ラッチ（A）603に供給される。ラッチ（A）603は、nビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ（A）603は、前記タイミング信号が入力されると、ソース信号線駆動回路601の外部から供給されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0176】なお、ラッチ（A）603にデジタルビデオ信号を取り込む際に、ラッチ（A）603が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ（A）603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動と言う。

【0177】ラッチ（A）603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0178】1ライン期間が終了すると、ラッチ（B）604にラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ（A）603に書き込まれ保持されているデジタルビデオ信号は、ラッチ（B）604に一斉に送出され、ラッチ（B）604の全ステージのラッチに書き込まれ、保持される。

【0179】デジタルビデオ信号をラッチ（B）604に送出し終えたラッチ（A）603には、シフトレジスタ602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0180】この2順目の1ライン期間中には、ラッチ（B）604に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0181】図10（B）はゲート信号線駆動回路の構成を示すブロック図である。

【0182】ゲート信号線駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。

また場合によってはレベルシフトを有していても良い。

【0183】ゲート信号線駆動回路 605 において、シフトレジスタ 606 からのタイミング信号がバッファ 607 に供給され、対応するゲート信号線に供給される。ゲート信号線には、1 ライン分の画素のスイッチング用 TFT のゲート電極が接続されている。そして、1 ライン分の画素のスイッチング用 TFT を一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0184】（実施例 4）本実施例では、本発明の駆動方法を用いる EL ディスプレイを作製した例について、図 11、図 12 を用いて説明する。

【0185】図 11（A）は本発明の駆動方法を用いた EL ディスプレイの TFT 基板の上面図を示している。なお本明細書において TFT 基板とは、画素部が設けられている基板を意味する。

【0186】基板 4001 上に、画素部 4002 と、ソース信号線駆動回路 4003 と、第 1 のゲート信号線駆動回路 4004a と、第 2 のゲート信号線駆動回路 4004b とが設けられている。なお本発明においてソース信号線駆動回路とゲート信号線駆動回路の数は図 11

（A）に示した数に限定されない。ソース信号線駆動回路とゲート信号線駆動回路の数は、設計者が適宜設定することが可能である。また、本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを TFT 基板上に設けているが、本発明はこの構成に限定されない。TFT 基板とは別の基板上に設けたソース信号線駆動回路とゲート信号線駆動回路とを、FPC 等により画素部と電気的に接続するようにしても良い。

【0187】4005 は引き回し配線である。引き回し配線 4005 は、基板 4001 の外部に設けられた IC 等に FPC 4006 を介して接続されている。

【0188】引き回し配線 4005 の拡大図を図 11

（B）に示す。4100 は R 用引き回し配線、4101 は G 用引き回し配線、4102 は B 用引き回し配線である。

【0189】図 12（A）は、図 11（A）に示した TFT 基板をシーリング材によって封止することによって形成された EL ディスプレイの上面図であり、図 12

（B）は、図 12（A）の A-A' における断面図、図 12（C）は図 12（A）の B-B' における断面図である。なお図 11 において既に示したものは、同じ符号を用いて示す。

【0190】基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、第 1 及び第 2 のゲート信号線駆動回路 4004a、b とを囲むようにして、シーリング材 4009 が設けられている。また画素部 4002 と、ソース信号線駆動回路 4003 と、第 1 及び第 2 のゲート信号線駆動回路 4004a、b との上にシーリング材 4008 が設けられている。よって画素部

4002 と、ソース信号線駆動回路 4003 と、第 1 及び第 2 のゲート信号線駆動回路 4004a、b とは、基板 4001 とシーリング材 4009 とシーリング材 4008 とによって、充填材 4210 で密封されている。

【0191】また基板 4001 上に設けられた画素部 4002 と、ソース信号線駆動回路 4003 と、第 1 及び第 2 のゲート信号線駆動回路 4004a、b とは、複数の TFT を有している。図 12（B）では代表的に、下地膜 4010 上に形成された、ソース信号線駆動回路 4003 に含まれる駆動 TFT（但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示する）4201 及び画素部 4002 に含まれる EL 駆動用 TFT（有機 EL 素子への電流を制御する TFT）4202 を図示した。

【0192】本実施例では、駆動 TFT 4201 には公知の方法で作製された p チャネル型 TFT または n チャネル型 TFT が用いられ、EL 駆動用 TFT 4202 には公知の方法で作製された p チャネル型 TFT が用いられる。また、画素部 4002 には EL 駆動用 TFT 4202 のゲートに接続された保持容量（図示せず）が設けられる。

【0193】駆動 TFT 4201 及び EL 駆動用 TFT 4202 上には層間絶縁膜（平坦化膜）4304 が形成され、その上に EL 駆動用 TFT 4202 のドレインと電気的に接続する画素電極（陽極）4203 が形成される。画素電極 4203 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0194】そして、画素電極 4203 の上には絶縁膜 4302 が形成され、絶縁膜 4302 は画素電極 4203 の上に開口部が形成されている。この開口部において、画素電極 4203 の上には EL（エレクトロルミネッセンス）層 4204 が形成される。EL 層 4204 は公知の有機 EL 材料を用いることができる。また、有機 EL 材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0195】EL 層 4204 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0196】EL 層 4204 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4205 が形成される。また、陰極 4205 と EL 層 4204 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、EL 層 4204 を

窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極 4205 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4205 は所定の電圧が与えられている。

【0197】以上のようにして、画素電極（陽極）4203、EL 層 4204 及び陰極 4205 からなる有機 EL 素子 4303 が形成される。そして有機 EL 素子 4303 を覆うように、絶縁膜 4302 上に保護膜 4303 が形成されている。保護膜 4303 は、有機 EL 素子 4303 に酸素や水分等が入り込むのを防ぐのに効果的である。

【0198】4005a は電源供給線に接続された引き回し配線であり、EL 駆動用 TFT 4202 のソース領域に電気的に接続されている。引き回し配線 4005a はシール材 4009 と基板 4001 との間を通り、異方導電性フィルム 4300 を介して FPC 4006 が有する FPC 用配線 4301 に電気的に接続される。

【0199】シーリング材 4008 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0200】但し、有機 EL 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0201】また、充填材 4210 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0202】また充填材 4103 を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4008 の基板 4001 側の面に凹部 4007 を設けて吸湿性物質または酸素を吸着しうる物質 4207 を配置する。そして、吸湿性物質または酸素を吸着しうる物質 4207 が飛び散らないように、凹部カバー材 4208 によって吸湿性物質または酸素を吸着しうる物質 4207 は凹部 4007 に保持されている。なお凹部カバー材 4208 は目の細かい

メッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4207 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質 4207 を設けることで、有機 EL 素子 4303 の劣化を抑制できる。

【0203】図 12（C）に示すように、画素電極 4203 が形成されると同時に、引き回し配線 4005a 上に接するように導電性膜 4203a が形成される。

【0204】また、異方導電性フィルム 4300 は導電性フィラー 4300a を有している。基板 4001 と FPC 4006 とを熱圧着することで、基板 4001 上の導電性膜 4203a と FPC 4006 上の FPC 用配線 4301 とが、導電性フィラー 4300a によって電気的に接続される。

【0205】なお、本実施例は、実施例 1～3 と自由に組み合わせて実施することが可能である。

【0206】（実施例 5）本実施例では、本発明の EL 表示装置において、同一基板上に画素部と、画素部の周辺に設ける駆動回路の TFT（n チャンネル型 TFT 及び p チャンネル型 TFT）を同時に作製する方法について詳細に図 13～図 16 を用いて説明する。

【0207】まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 300 を用いる。なお、基板 300 としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0208】次いで、基板 300 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 301 を形成する。本実施例では下地膜 301 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 301 の一層目としては、プラズマ CVD 法を用い、SiH₄、N₂H₄、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 301a を 10～200nm（好ましくは 50～100nm）形成する。本実施例では、膜厚 50nm の酸化窒化珪素膜 301a（組成比 Si=32%、O=27%、N=24%、H=17%）を形成した。次いで、下地膜 301 の二層目としては、プラズマ CVD 法を用い、SiH₄、及び N₂O を反応ガスとして成膜される酸化窒化珪素膜 301b を 50～200nm（好ましくは 100～150nm）の厚さに積層形成する。本実施例では、膜厚 100nm の酸化窒化珪素膜 301b（組成比 Si=32%、O=59%、N=7%、H=2%）を形成した。

【0209】次いで、下地膜上に半導体層 302～305 を形成する。半導体層 302～305 は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCV

D法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層302~305の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層302~305を形成した。

【0210】また、半導体層302~305を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0211】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~4000mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~6000mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0212】次いで、半導体層302~305を覆うゲート絶縁膜306を形成する。ゲート絶縁膜306はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0213】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)

とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0214】次いで、図13(A)に示すように、ゲート絶縁膜306上に膜厚20~100nmの第1の導電膜307と、膜厚100~400nmの第2の導電膜308とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜307と、膜厚370nmのW膜からなる第2の導電膜308を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができた。

【0215】なお、本実施例では、第1の導電膜307をTa₂N、第2の導電膜308をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0216】次に、図13(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク309~312を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞ

れ、そのガス流量比を 25/25/10 (sccm) とし、1Pa の圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製の ICP を用いたドライエッチング装置 (Model E645-□ICP) を用いた。基板側 (試料ステージ) にも 150W の RF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。第 1 のエッチング条件での W に対するエッチング速度は 200.39nm/min、Ta₂N₅ に対するエッチング速度は 80.32nm/min であり、Ta₂N₅ に対する W の選択比は約 2.5 である。また、この第 1 のエッチング条件によって、W のテーパ角は、約 26° となる。

【0217】この後、図 13 (B) に示すようにレジストからなるマスク 309~312 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF₄ と Cl₂ とを用い、それぞれのガス流量比を 30/30 (sccm) とし、1Pa の圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側 (試料ステージ) にも 20W の RF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄ と Cl₂ を混合した第 2 のエッチング条件では W 膜及び Ta₂N₅ 膜とも同程度にエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 58.97nm/min、Ta₂N₅ に対するエッチング速度は 66.43nm/min である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20% 程度の割合でエッチング時間を増加させると良い。

【0218】上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は 15~45° とすればよい。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 314~317 (第 1 の導電層 314a~317a と第 2 の導電層 314b~317b) を形成する。319 はゲート絶縁膜であり、第 1 の形状の導電層 314~317 で覆われない領域は 20~50nm 程度エッチングされ薄くなった領域が形成される。

【0219】そして、レジストからなるマスクを除去せずに第 1 のドーピング処理を行い、半導体層に n 型を付与する不純物元素を添加する。(図 13 (B)) ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{15}$ atoms/cm² とし、加速電圧を 60~100keV として行う。本実施例ではドーピング量を $1.5 \times$

1.015×10^{15} atoms/cm² とし、加速電圧を 80keV として行った。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層 314~317 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域 118~121 が形成される。高濃度不純物領域 320~323 には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度範囲で n 型を付与する不純物元素を添加する。

【0220】次いで、図 13 (C) に示すようにレジストからなるマスクを除去せずに第 2 のエッチング処理を行う。ここでは、エッチング用ガスに CF₄ と Cl₂ とを用い、それぞれのガス流量比を 20/20/20 (sccm) とし、1Pa の圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 20W の RF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 2 のエッチング処理での W に対するエッチング速度は 124.62nm/min、Ta₂N₅ に対するエッチング速度は 20.67nm/min であり、Ta₂N₅ に対する W の選択比は 6.05 である。従って、W 膜が選択的にエッチングされる。この第 2 のエッチングにより W のテーパ角は 70° となった。この第 2 のエッチング処理により第 2 の導電層 324b~327b を形成する。一方、第 1 の導電層 314a~317a は、ほとんどエッチングされず、第 1 の導電層 324a~327a を形成する。

【0221】次いで、第 2 のドーピング処理を行う。ドーピングは第 2 の導電層 324b~327b を不純物元素に対するマスクとして用い、第 1 の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素として P (リン) を用い、ドーピング量 1.5×10^{14} 、電流密度 0.5μA、加速電圧 90keV にてプラズマドーピングを行った。こうして、第 1 の導電層と重なる低濃度不純物領域 329~332 を自己整合的に形成する。この低濃度不純物領域 329~332 に添加されたリン (P) の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³ であり、且つ、第 1 の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層のテーパ部と重なる半導体層において、第 1 の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度の不純物元素が添加された高濃度不純物領域 333~336 を形成する。

【0222】次いで、図 14 (B) に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第 3 のエッチング処理を行う。この第 3 のエッチング処理では第 1 の導電層のテーパ部を部分的にエッチングして、第 2 の導電層と重なる形状にするた

めに行われる。ただし、第3のエッチングを行わない領域には、図14(B)に示すようにレジストからなるマスク338を形成する。

【0223】第3のエッチング処理におけるエッチング条件は、エッチングガスとして Cl_2 と SF_6 とを用い、それぞれのガス流量比を $10/50$ (sccm)として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理での TaN に対するエッチング速度は、 111.2nm/min であり、ゲート絶縁膜に対するエッチング速度は、 12.8nm/min である。

【0224】本実施例では、 1.3Pa の圧力でコイル型の電極に 500W のRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも 10W のRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層340a~342aが形成される。

【0225】上記第3のエッチングによって、第1の導電層340a~342aと重ならない不純物領域(LD領域)343~345が形成される。なお、不純物領域(GOLD領域)346は、第1の導電層324aと重なったままである。

【0226】また、第1の導電層324aと第2の導電層324bとで形成された電極は、最終的に駆動回路のnチャンネル型TFTのゲート電極となり、また、第1の導電層340aと第2の導電層340bとで形成された電極は、最終的に駆動回路のpチャンネル型TFTのゲート電極となる。

【0227】同様に、第1の導電層341aと第2の導電層341bとで形成された電極は、最終的に画素部のnチャンネル型TFTのゲート電極となり、第1の導電層342aと第2の導電層342bとで形成された電極は、最終的に画素部のpチャンネル型TFTのゲート電極となる。

【0228】このようにして、本実施例は、第1の導電層340a~342aと重ならない不純物領域(LDD領域)343~345と、第1の導電層324aと重なる不純物領域(GOLD領域)346を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0229】次にゲート絶縁膜319をエッチング処理する。ここでのエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンパー圧力 6.7Pa 、RF電力 800W 、 CHF_3 ガス流量 35sccm で第3のエッチング処理を行った。

【0230】これにより、高濃度不純物領域333~336の一部は露呈し、絶縁膜356a~356dが形成される。

【0231】次いで、レジストからなるマスクを除去し

た後、新たにレジストからなるマスク348、349を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャンネル型TFTの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加された不純物領域350~353を形成する。(図14(C))第1の導電層340aおよび342aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0232】本実施例では、不純物領域350~353はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。なお、この第3のドーピング処理の際には、nチャンネル型TFTを形成する半導体層はレジストからなるマスク348、349で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域350~353にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{10} \sim 2 \times 10^{11} \text{atoms/cm}^3$ となるようにドーピング処理することにより、pチャンネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0233】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0234】次いで、レジストからなるマスク348、349を除去して第1の層間絶縁膜357を形成する。この第1の層間絶縁膜357としては、プラズマCVD法またはスパッタ法を用い、厚さを $100 \sim 200\text{nm}$ として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚 150nm の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜357は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0235】次いで、図15(A)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1ppm 以下、好ましくは 0.1ppm 以下の窒素雰囲気中で $400 \sim 700^\circ\text{C}$ 、代表的には $500 \sim 550^\circ\text{C}$ で行えばよく、本実施例では 550°C 、4時間の熱処理で活性化処理を行った。なお、熱アニール法他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0236】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域(334~336、350、351)にゲッターリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0237】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0238】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜を形成させても良い。

【0239】さらに、3~100%の水素を含む雰囲気中で、300~550℃で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0240】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0241】次いで、図15（B）に示すように第1の層間絶縁膜357上に有機絶縁物材料から成る第2の層間絶縁膜358を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各不純物領域333、335、350、351に達するコンタクトホールを形成するためのパターニングを行う。

【0242】第2の層間絶縁膜358としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0243】本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1~5μm（さらに好ましくは2~4μm）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないために有機EL素子の劣化を抑える上で有効である。

【0244】また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0245】さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜及び第2層間絶縁膜を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜を形成する材料は、第1層間絶縁膜を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0246】そして、各不純物領域333、335、350、351とそれぞれ電氣的に接続する配線359~

366を形成する。そして、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0247】次いで、その上に透明導電膜を80~120nmの厚さで形成し、パターニングすることによって透明電極367を形成する。（図15（B））

【0248】なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2~20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0249】また、透明電極367は、ドレイン配線365と接して重ねて形成することによってEL駆動用TFTのドレイン領域と電氣的な接続が形成される。

【0250】次に、図16に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、透明電極367に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜368を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0251】なお、本実施例においては、第3の層間絶縁膜368として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0252】次に、図16で示すようにEL層369を蒸着法により形成し、更に蒸着法により陰極（MgAg電極）370および保護電極371を形成する。このときEL層369及び陰極370を形成するに先立って透明電極367に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では有機EL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0253】なお、EL層369としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造をEL層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0254】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0255】また、保護電極371でもEL層369を

水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜 372 を設けると良い。本実施例ではパッシベーション膜 372 として 300 nm 厚の窒化珪素膜を設ける。このパッシベーション膜も保護電極 371 の後に大気解放しないで連続的に形成しても構わない。

【0256】また、保護電極 371 は陰極 370 の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL 層 369、陰極 370 は非常に水分に弱いので、保護電極 371 までを大気解放しないで連続的に形成し、外気から EL 層を保護することが望ましい。

【0257】なお、EL 層 369 の膜厚は 10~400 [nm] (典型的には 60~150 [nm])、陰極 370 の厚さは 80~200 [nm] (典型的には 100~150 [nm]) とすれば良い。

【0258】こうして図 16 に示すような構造の EL 表示装置が完成する。なお、本実施例における EL 表示装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料である Ta、W によってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料である Al によってゲート信号線を形成しているが、異なる材料を用いても良い。

【0259】また、n チャネル型 TFT 701 及び p チャネル型 TFT 702 を有する駆動回路 706 と、スイッチング用 TFT 703 及び EL 駆動用 TFT 704 を有する画素部 707 を同一基板上に形成することができる。

【0260】駆動回路 706 の n チャネル型 TFT 701 はチャンネル形成領域 333、ゲート電極の一部を構成する第 1 の導電層 324a と重なる低濃度不純物領域 329 (GOLD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 333 を有している。p チャネル型 TFT 702 にはチャンネル形成領域 373、ゲート電極の一部を構成する第 1 の導電層 340a と重ならない不純物領域 343、ソース領域またはドレイン領域として機能する不純物領域 350 および 352 を有している。

【0261】画素部 707 のスイッチング用 TFT 703 にはチャンネル形成領域 374、ゲート電極を形成する第 1 の導電層 341a と重ならず、ゲート電極の外側に形成される低濃度不純物領域 344 (LDD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 335 を有している。

【0262】画素部 707 の EL 駆動用 TFT 704 にはチャンネル形成領域 375、ソース領域またはドレイン領域として機能する高濃度不純物領域 351 および 353 を有している。

【0263】なお、本実施例は、実施例 1~4 と自由に組み合わせて実施することが可能である。

【0264】(実施例 6) 本発明を用いて駆動する EL ディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、TV 放送等を大画面で鑑賞するには対角 30 インチ以上 (典型的には 40 インチ以上) の EL 表示装置 (EL ディスプレイを筐体に組み込んだ電気光学装置) の表示部として本発明の駆動方法を用いた EL ディスプレイを用いるとよい。

【0265】なお、EL ディスプレイには、パソコン用ディスプレイ、TV 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明の駆動方法を用いた EL ディスプレイを用いることができる。

【0266】その様な本発明を用いた電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置) などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL ディスプレイを用いることが望ましい。それら電子機器の具体例を図 17、図 18 に示す。

【0267】図 17 (A) は EL 表示装置であり、筐体 2001、支持台 2002、表示部 2003 等を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2003 に用いることができる。EL ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0268】図 17 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2102 に用いることができる。

【0269】図 17 (C) は頭部取り付け型の電気光学装置の一部 (右片側) であり、本体 2201、信号ケーブル 2202、頭部固定バンド 2203、スクリーン部 2204、光学系 2205、表示部 2206 等を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2206 に用いることができる。

【0270】図 17 (D) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2301、記録媒体 (DVD 等) 2302、操作スイッチ 2303、表示部 (a) 2304、表示部 (b) 2305 等

を含む。表示部 (a) 2304 は主として画像情報を表示し、表示部 (b) 2305 は主として文字情報を表示するが、本発明の駆動方法を用いた EL ディスプレイはこれら表示部 (a)、(b) 2304、2305 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0271】図 17 (E) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 2401、表示部 2402、アーム部 2403 を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2402 に用いることができる。

【0272】図 17 (F) はパーソナルコンピュータであり、本体 2501、筐体 2502、表示部 2503、キーボード 2504 等を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2503 に用いることができる。

【0273】なお、将来的に有機 EL 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0274】また、上記電子機器はインターネットや CATV (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機 EL 材料の応答速度は非常に高いため、EL ディスプレイは動画表示に好ましい。

【0275】また、EL ディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に EL ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0276】ここで図 18 (A) は携帯電話であり、本体 2601、音声出力部 2602、音声入力部 2603、表示部 2604、操作スイッチ 2605、アンテナ 2606 を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2604 に用いることができる。なお、表示部 2604 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0277】また、図 18 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2701、表示部 2702、操作スイッチ 2703、2704 を含む。本発明の駆動方法を用いた EL ディスプレイは表示部 2702 に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部 2702 は黒色の背景に白色

の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0278】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1～5 に示したいずれの構成の EL ディスプレイを用いても良い。

【0279】

【発明の効果】本発明では、1 フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現するので、人間の視点が左右上下に微妙に動いていたとしても、人間の視点が非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視する確率を低くすることができる。よって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の駆動方法を用いた EL ディスプレイの画素部と、表示期間と分割表示期間の長さの比を表した図。

20 【図 2】 本発明の駆動方法を用いた EL ディスプレイの画素部と、点灯期間と非点灯期間の長さの比を表した図。

【図 3】 複数の表示期間を分割表示期間に分割した場合の、表示期間と分割表示期間の長さの比を表す図。

【図 4】 本発明の駆動方法を用いる画素部の回路図。

【図 5】 本発明の駆動方法を用いる画素の回路図。

【図 6】 本発明の駆動方法を示す図。

【図 7】 本発明の駆動方法を用いる画素部の回路図。

【図 8】 本発明の駆動方法を用いる画素の回路図。

30 【図 9】 本発明の駆動方法を示す図。

【図 10】 駆動回路のブロック図。

【図 11】 EL ディスプレイの上面図。

【図 12】 EL ディスプレイの上面図と断面図。

【図 13】 EL ディスプレイの作製方法を示す図。

【図 14】 EL ディスプレイの作製方法を示す図。

【図 15】 EL ディスプレイの作製方法を示す図。

【図 16】 EL ディスプレイの作製方法を示す図。

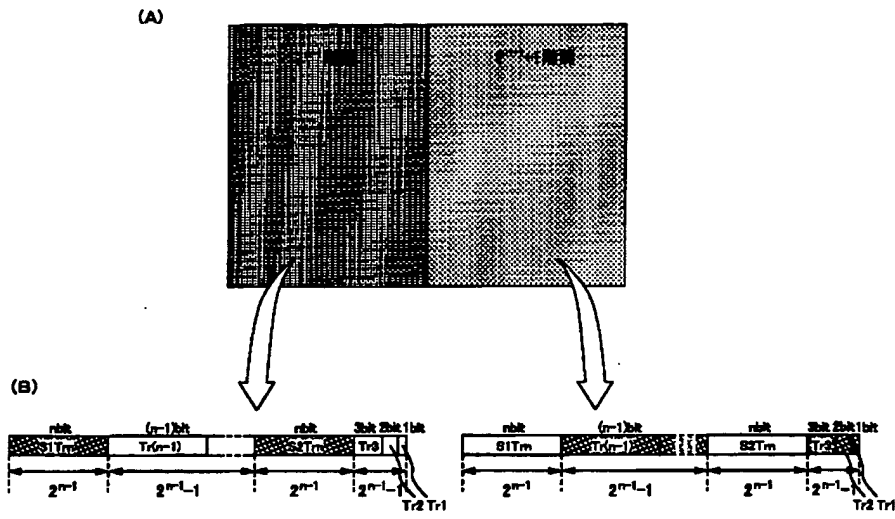
【図 17】 本発明の駆動方法を用いた EL ディスプレイを有する電子機器。

40 【図 18】 本発明の駆動方法を用いた EL ディスプレイを有する電子機器。

【図 19】 従来の駆動方法を用いた EL ディスプレイの画素部と、表示期間と分割表示期間の長さの比を表した図。

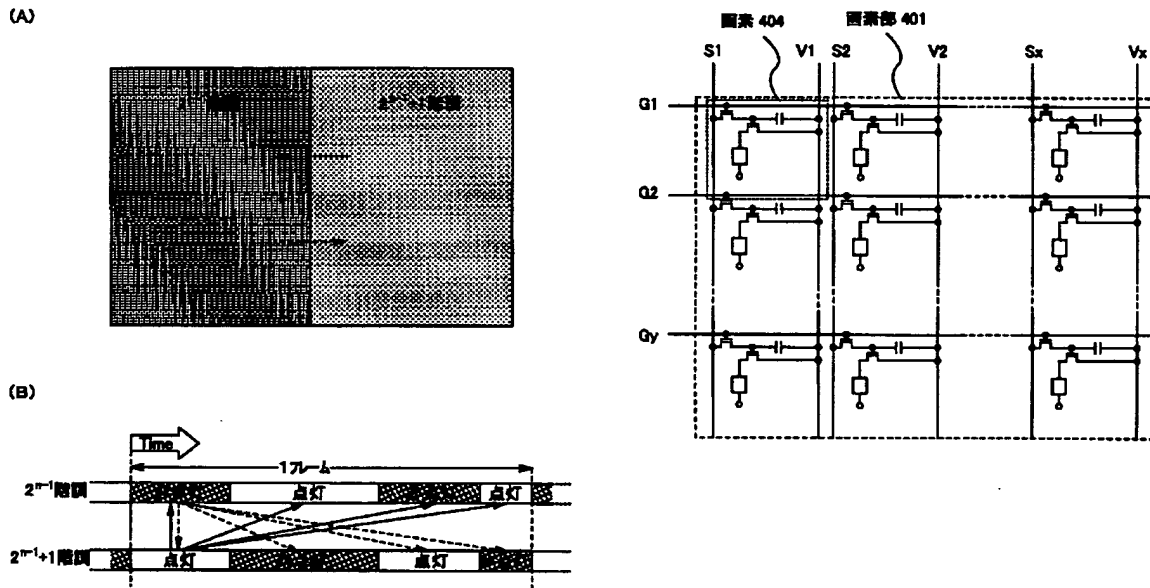
【図 20】 従来の駆動方法を用いた EL ディスプレイの画素部と、点灯期間と非点灯期間の長さの比を表した図。

【図 1】

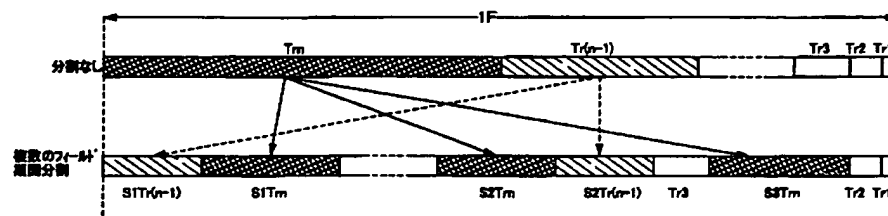


【図 2】

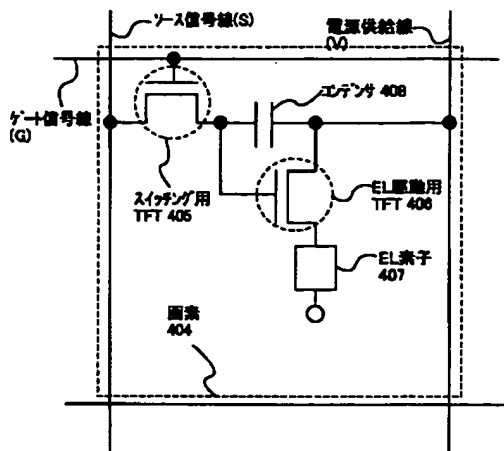
【図 4】



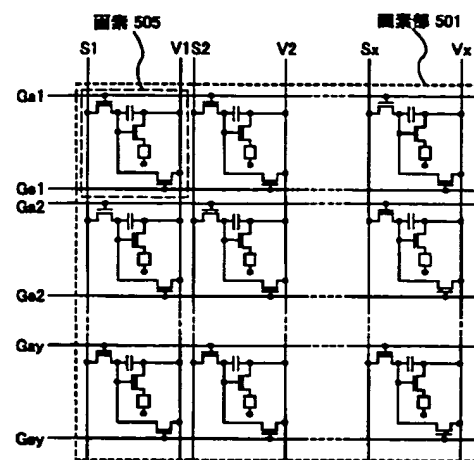
【図 3】



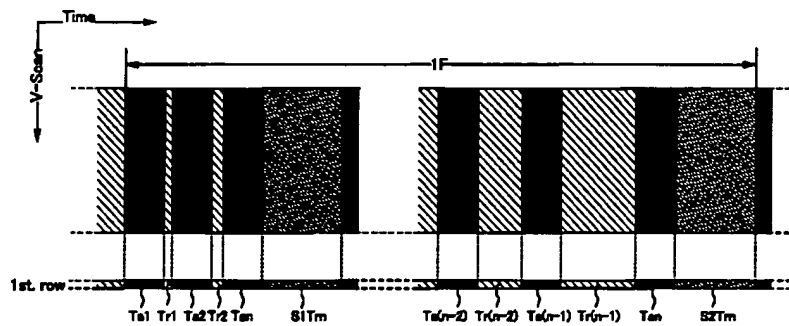
【図5】



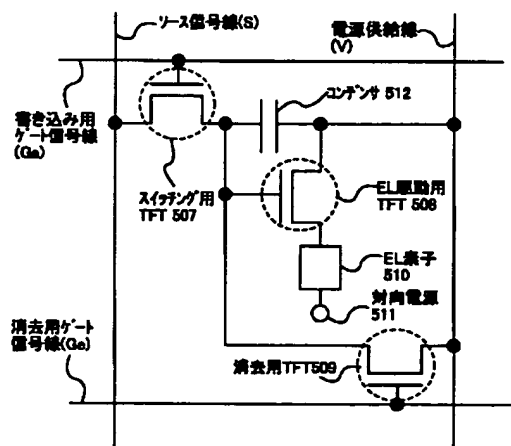
【図7】



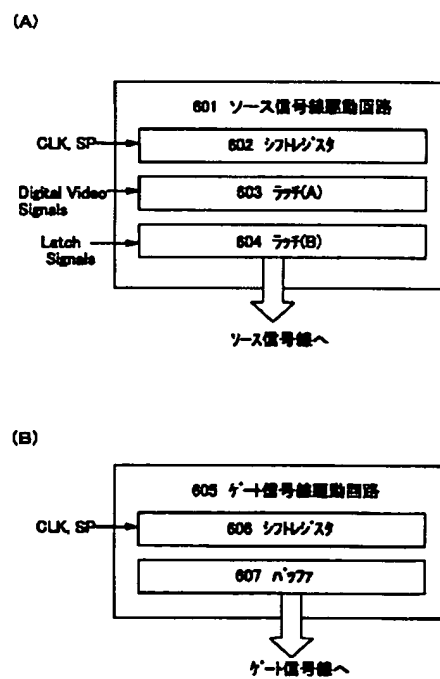
【図6】



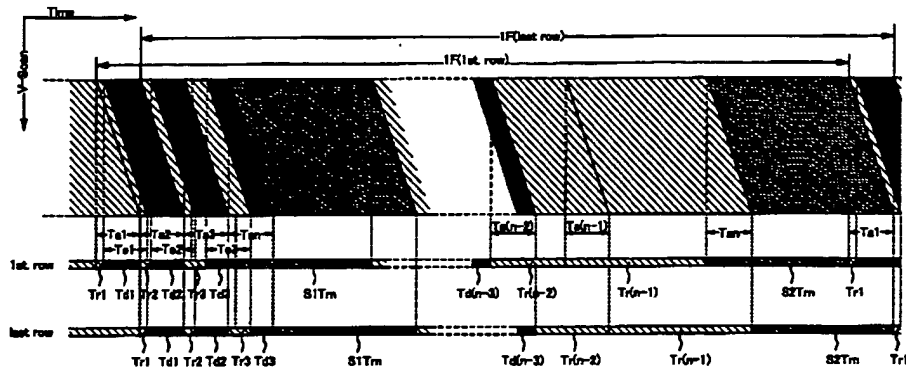
【図8】



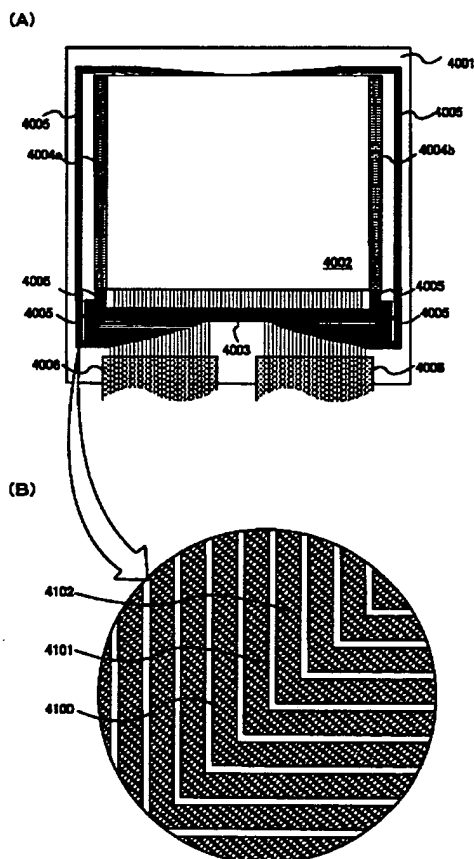
【図10】



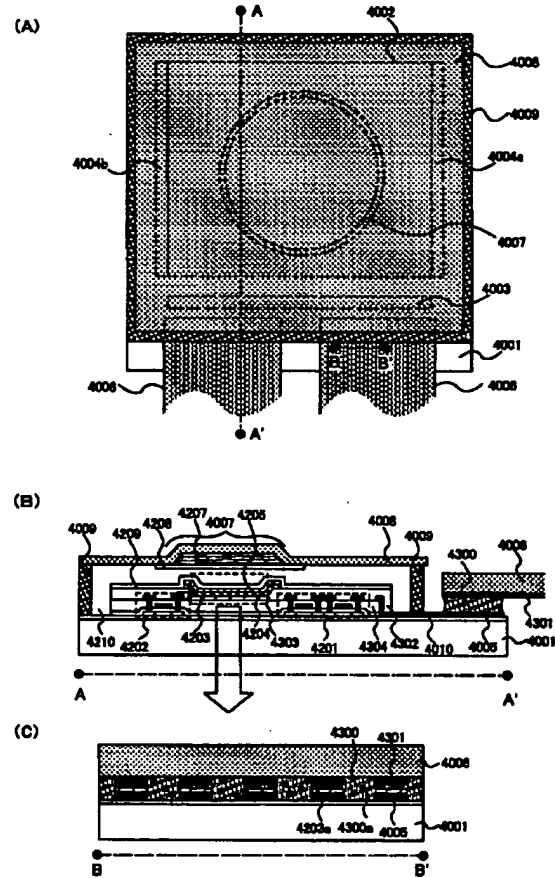
【図 9】



【図 11】

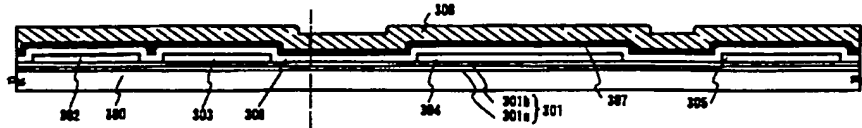


【図 12】

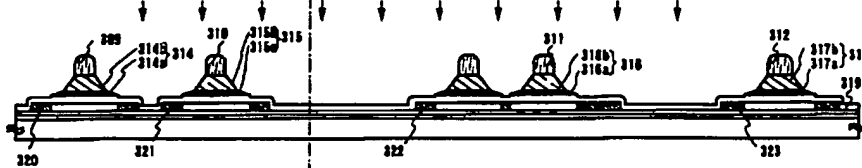


【図13】

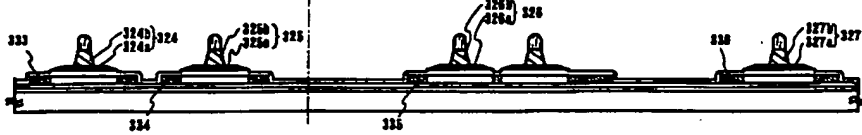
(A) 半導体層の形成/絶縁層の形成/第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理/第1のドーピング処理

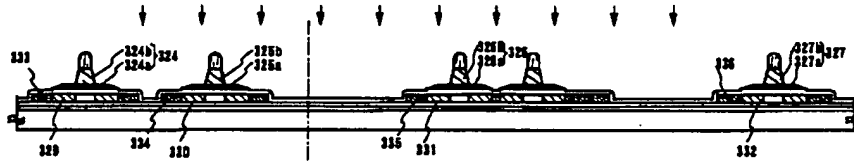


(C) 第2のエッチング処理

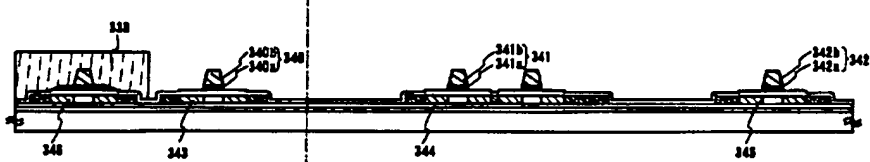


【図14】

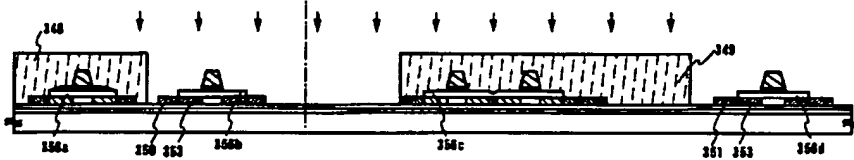
(A) 第2のドーピング処理



(B) 第3のエッチング処理

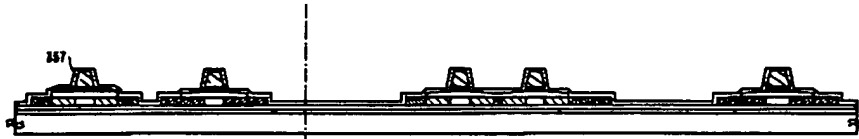


(C) 第3のドーピング処理

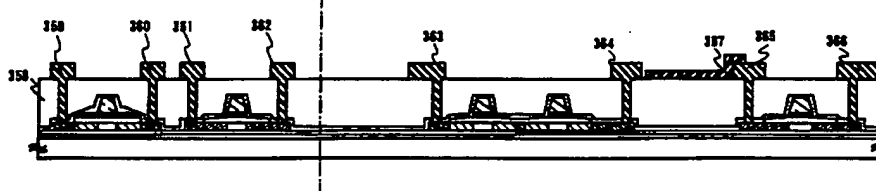


【図15】

(A) 第1の層間絶縁膜形成、活性化処理

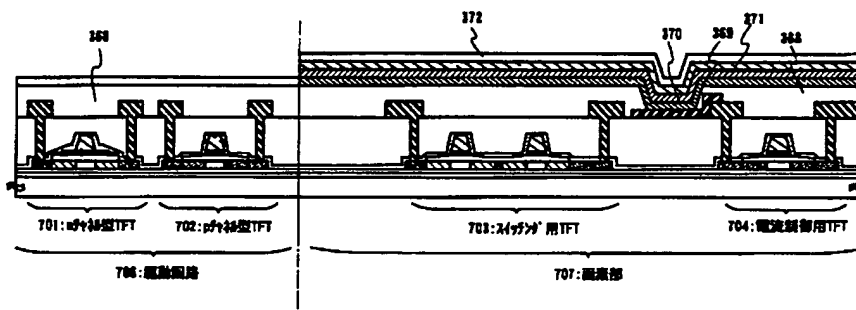


(B) 第2の層間絶縁膜、配線、図素電極形成

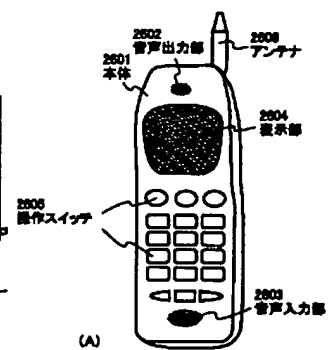


【図16】

第3の層間絶縁膜、EL層、図素電極、パターニング形成

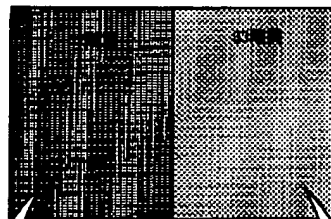


【図18】

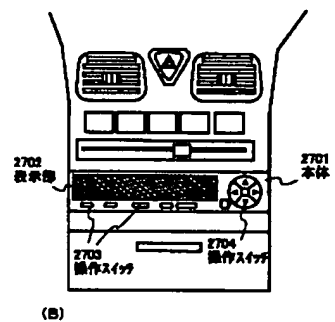
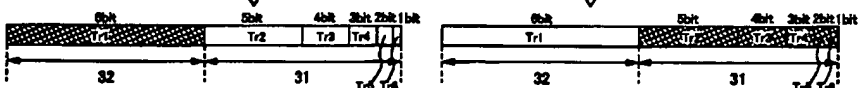


【図19】

(A)

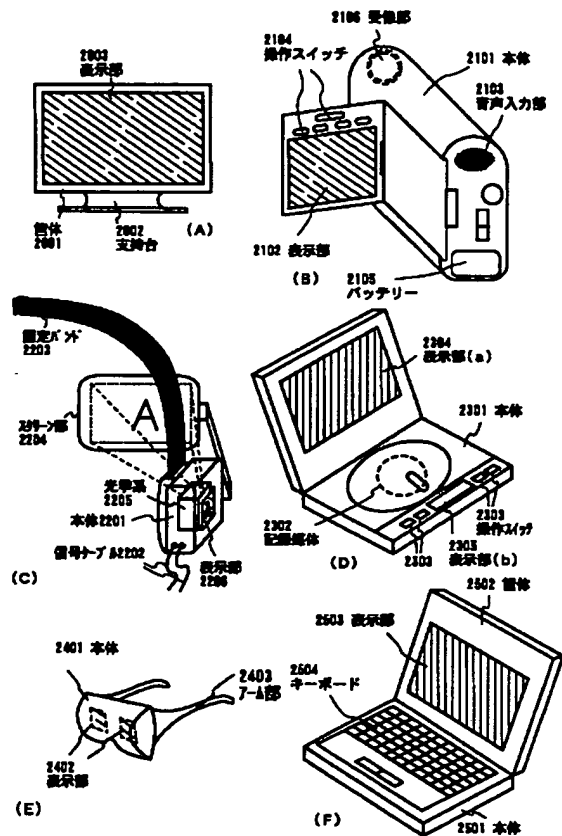


(B)

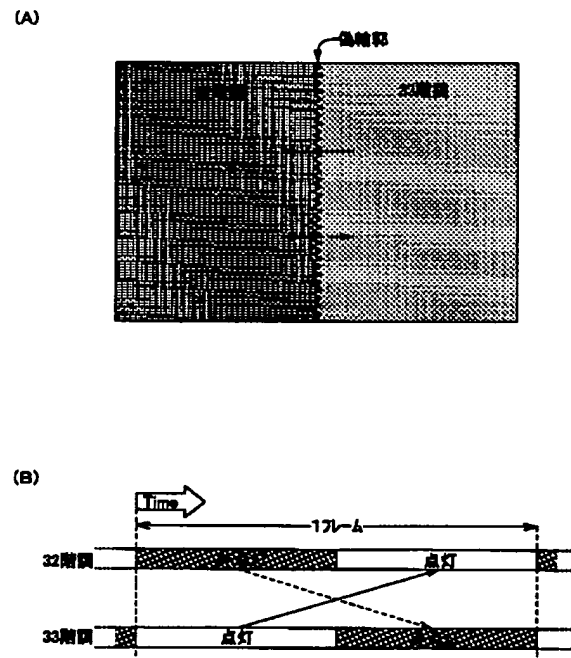


(B)

【図17】



【図20】



フロントページの続き

(51) Int. Cl.⁷
G 0 9 G 3/20
H 0 5 B 33/14

識別記号
6 4 1

F I
G 0 9 G 3/20
H 0 5 B 33/14

テ-マコード(参考)
6 4 1 R
A

Fターム(参考) 3K007 AB13 AB17 BA06 BB02 BB04
BB05 CA01 CA05 CA06 CB01
DA00 DB03 EB00 FA01 GA04
5C080 AA06 BB05 DD05 EE29 GG07
GG08 JJ02 JJ03 JJ04 JJ06
KK07
5C094 AA01 AA53 BA03 BA27 CA19
CA25